

ARQUITECTURAS PARA PROCESAMIENTO PARALELO

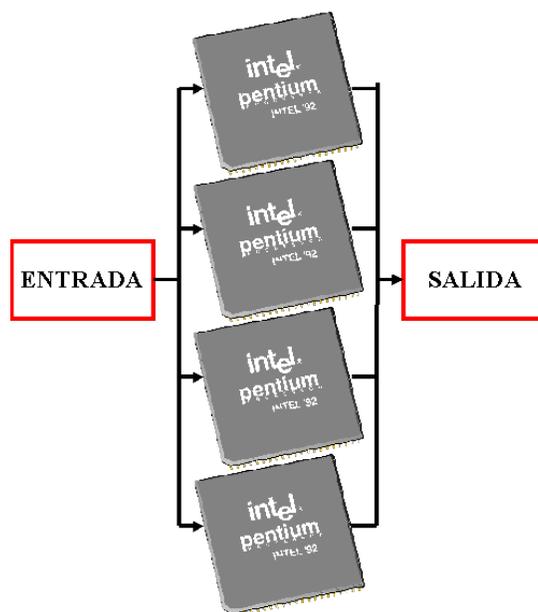
Facultad de Ingeniería de Sistemas

Información para el Proyecto REYCYT



RESUMEN

Se presenta información general relativa a las diferentes arquitecturas modernas de computadores que manejan múltiples procesadores, sus ventajas y desventajas.



[\[Introducción\]](#) [\[Multiprocesamiento Simétrico\]](#) [\[Procesamiento Masivamente Paralelo\]](#) [\[Procesamiento Paralelo Escalable\]](#)

INTRODUCCION

El procesamiento paralelo ofrece una gran ventaja en cuanto a costos. Sin embargo, su principal beneficio, la **escalabilidad** (crecer hacia arquitecturas de mayor capacidad), puede ser difícil de alcanzar aún. Esto se debe a que conforme se añaden procesadores, las disputas por los recursos compartidos se intensifican.

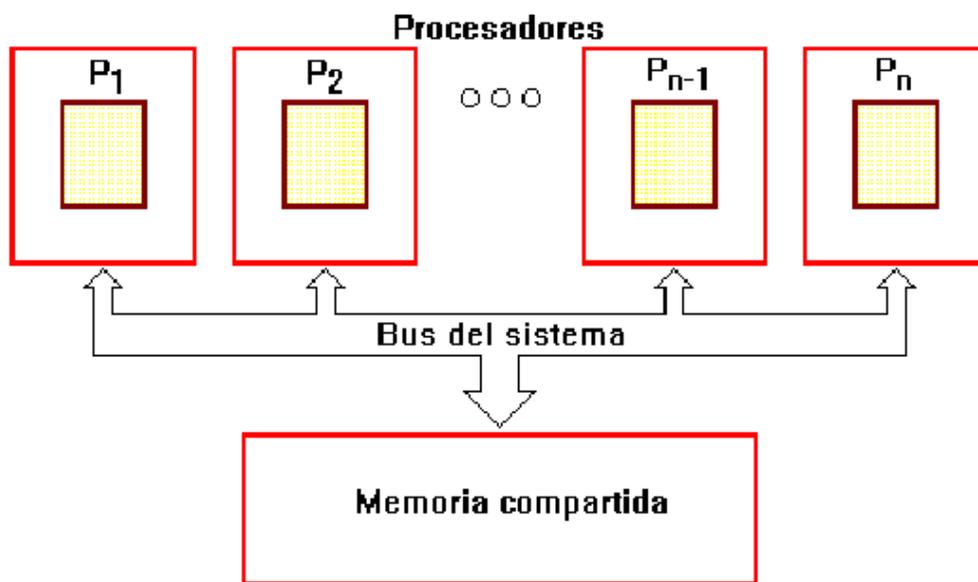
Algunos diseños diferentes de procesamiento paralelo enfrentan este problema fundamental:

- Multiprocesamiento simétrico
- Procesamiento masivamente paralelo
- Procesamiento paralelo escalable

Cada diseño tiene sus propias ventajas y desventajas.

1. MULTIPROCESAMIENTO SIMETRICO

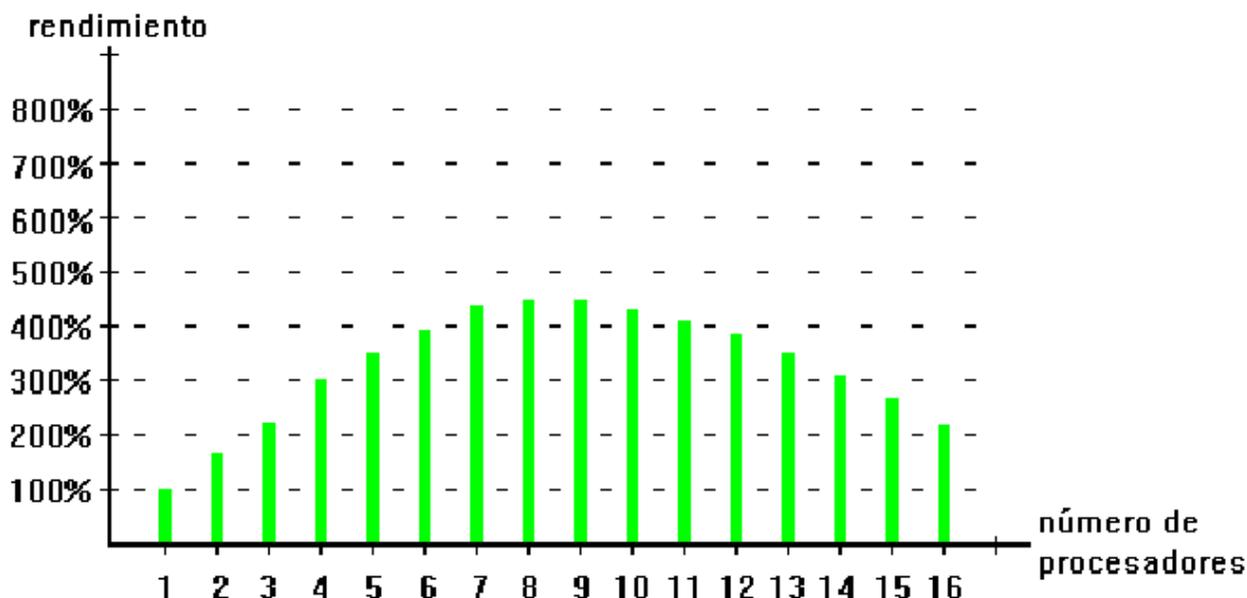
El **Multiprocesamiento simétrico** (*symmetric multiprocessing / SMP*) tiene un diseño simple pero aún así efectivo. En SMP, múltiples procesadores comparten la memoria RAM y el bus del sistema. Este diseño es también conocido como **estrechamente acoplado** (*tightly coupled*), o **compartiendo todo** (*shared everything*).



Debido a que SMP comparte globalmente la memoria RAM, tiene solamente un espacio de memoria, lo que simplifica tanto el sistema físico como la programación de aplicaciones. Este espacio de memoria único permite que un **Sistema Operativo con Multiconexión** (multithreaded operating system) distribuya las tareas entre varios procesadores, o permite que una aplicación obtenga la memoria que necesita para una simulación compleja. La memoria globalmente compartida también vuelve fácil la sincronización de los datos.

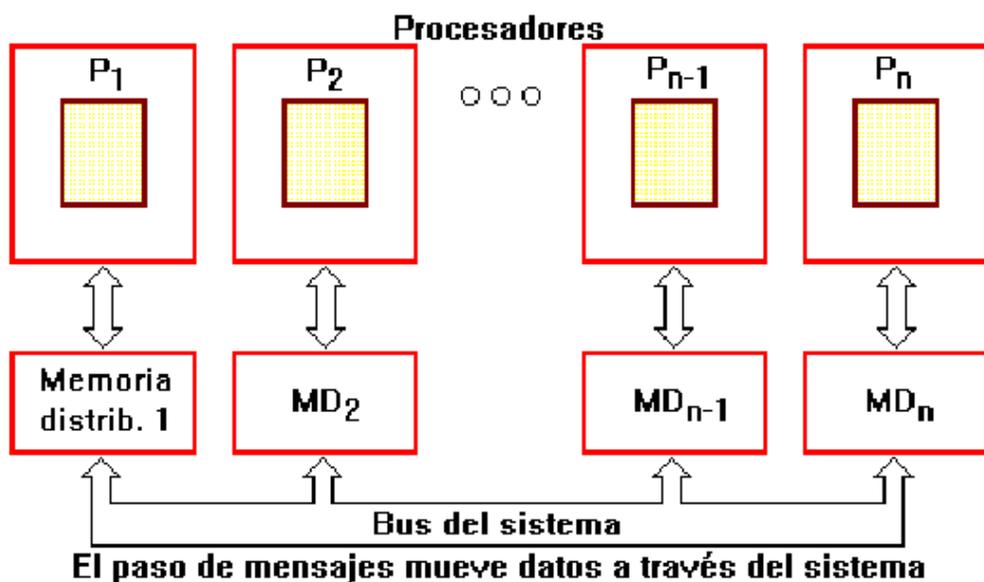
SMP es uno de los diseños de procesamiento paralelo más maduro. Apareció en los supercomputadores **Cray X-MP** y en sistemas similares hace década y media (en 1983).

Sin embargo, esta memoria global contribuye el problema más grande de SMP: conforme se añaden procesadores, el tráfico en el bus de memoria se satura. Al añadir memoria caché a cada procesador se puede reducir algo del tráfico en el bus, pero el bus generalmente se convierte en un cuello de botella al manejarse alrededor de ocho o más procesadores. SMP es considerada una tecnología no escalable.



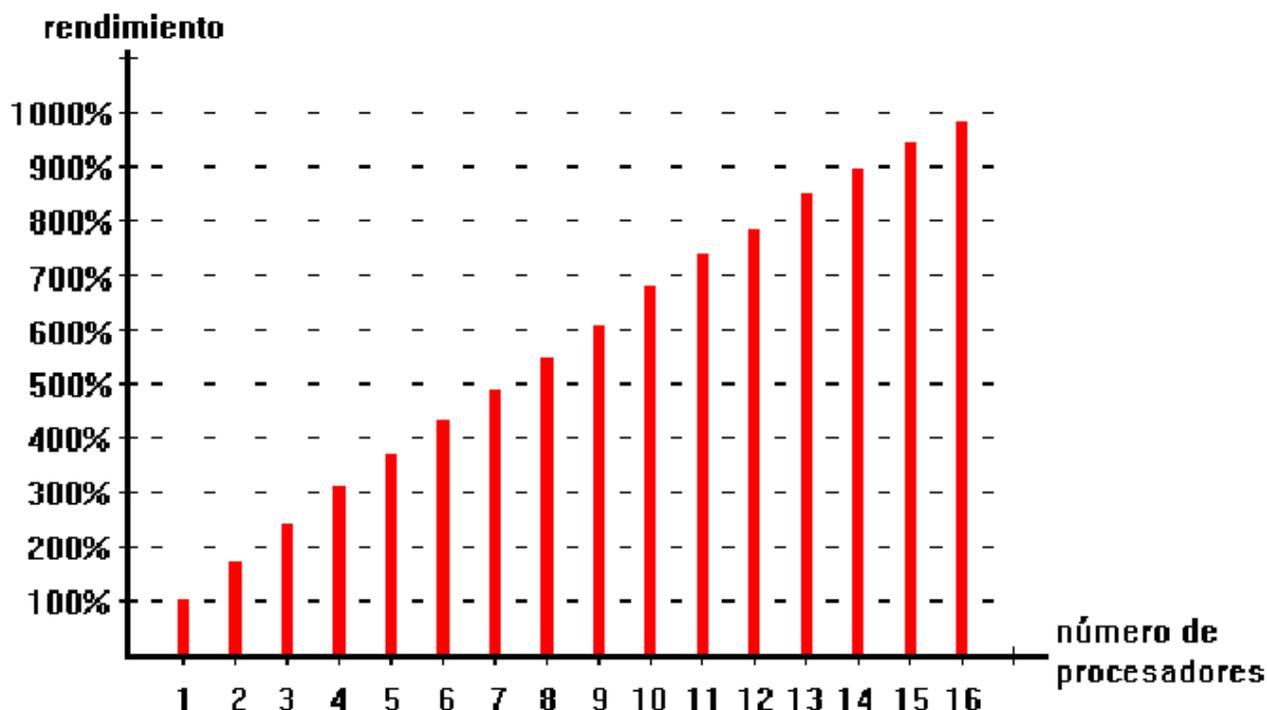
2. PROCESAMIENTO MASIVAMENTE PARALELO

El **Procesamiento masivamente paralelo (Massively parallel processing / MPP)** es otro diseño de procesamiento paralelo. Para evitar los cuellos de botella en el bus de memoria, MPP no utiliza memoria compartida. En su lugar, distribuye la memoria RAM entre los procesadores de modo que se semeja a una red (cada procesador con su memoria distribuida asociada es similar a un computador dentro de una red de procesamiento distribuido). Debido a la distribución dispersa de los recursos RAM, esta arquitectura es también conocida como **dispersamente acoplada (loosely coupled)**, o **compartiendo nada (shared nothing)**.

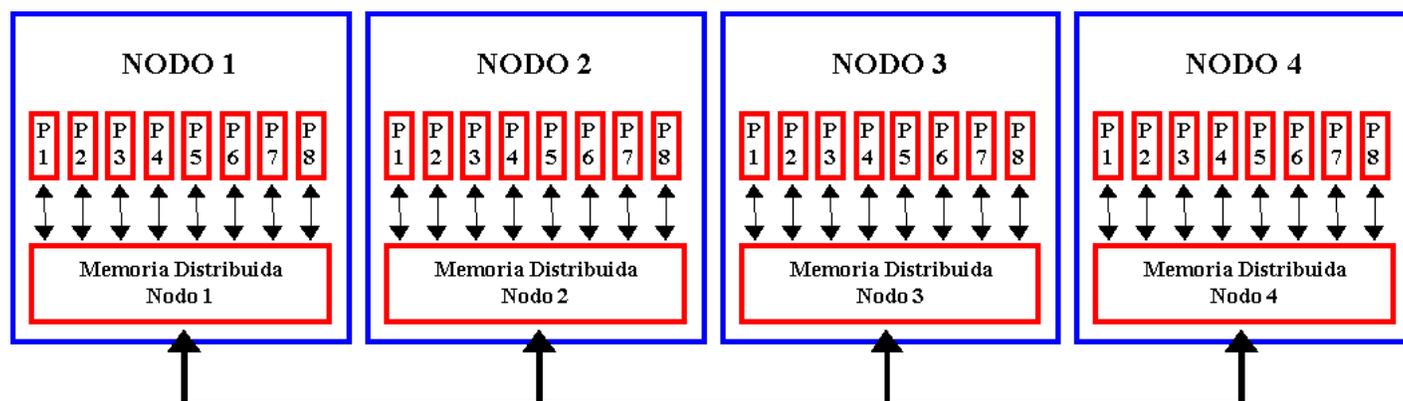


Para tener acceso a la memoria fuera de su propia RAM, los procesadores utilizan un esquema de **paso de mensajes** análogo a los **paquetes de datos** en redes. Este sistema reduce el tráfico del bus, debido a que cada sección de memoria observa únicamente aquellos accesos que le están destinados, en lugar de observar todos los accesos, como ocurre en un sistema SMP. Únicamente cuando un procesador no dispone de la memoria RAM suficiente, utiliza la memoria RAM sobrante de los otros procesadores. Esto permite sistemas MPP de gran tamaño con cientos y aún

miles de procesadores. MPP es una tecnología escalable.



El **RS/6000 Scalable Powerparallel System** de IBM (SP2) es un ejemplo de sistema MPP, que presenta una ligera variante respecto al esquema genérico anteriormente planteado. Los procesadores del RS/6000 se agrupan en nodos de 8 procesadores, los que utilizan una única memoria compartida (tecnología SMP). A su vez estos nodos se agrupan entre sí utilizando memoria distribuida para cada nodo (tecnología MPP). De este modo se consigue un diseño más económico y con mayor capacidad de crecimiento.



La parte negativa de MPP es que la programación se vuelve difícil, debido a que la memoria se rompe en pequeños espacios separados. Sin la existencia de un espacio de memoria globalmente compartido, correr (y escribir) una aplicación que requiere una gran cantidad de RAM (comparada con la memoria local), puede ser difícil. La sincronización de datos entre tareas ampliamente distribuidas también se vuelve difícil, particularmente si un mensaje debe pasar por muchas fases hasta alcanzar la memoria del procesador destino.

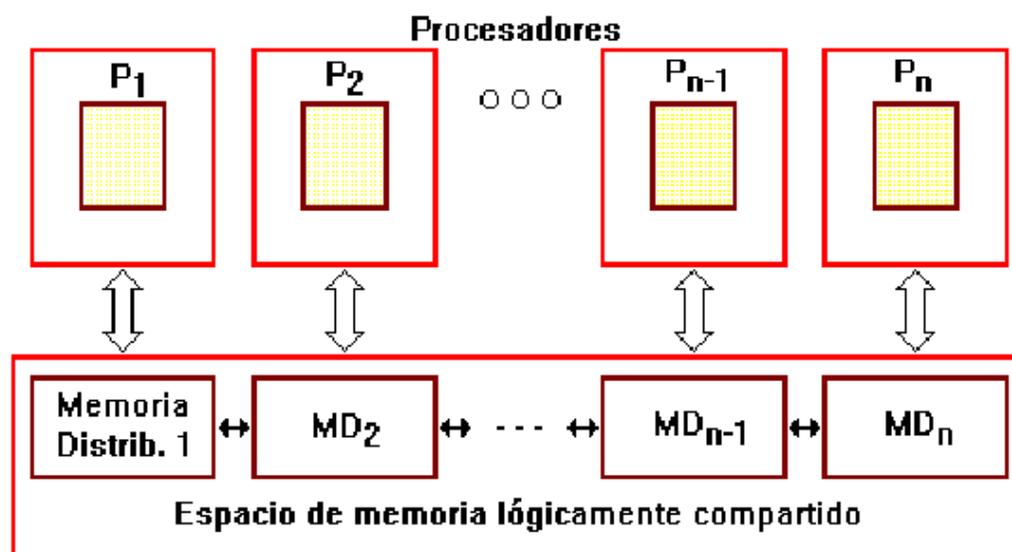
Escribir una aplicación MPP también requiere estar al tanto de la organización de la memoria manejada por el programa. Donde sea necesario, se requieren insertar comandos de paso de mensajes dentro del código del programa. Además de complicar el diseño del programa, tales comandos pueden crear dependencias de hardware en las aplicaciones. Sin embargo, la mayor

parte de vendedores de computadores han salvaguardado la portabilidad de las aplicaciones adoptando, sea un mecanismo de dominio público para paso de mensajes conocido como **Máquina virtual paralela (parallel virtual machine / PVM)**, o un estándar en fase de desarrollo llamado **Interfaz de Paso de Mensajes (Message Passing Interface / MPI)**, para implementar el mecanismo de paso de mensajes.

3. PROCESAMIENTO PARALELO ESCALABLE

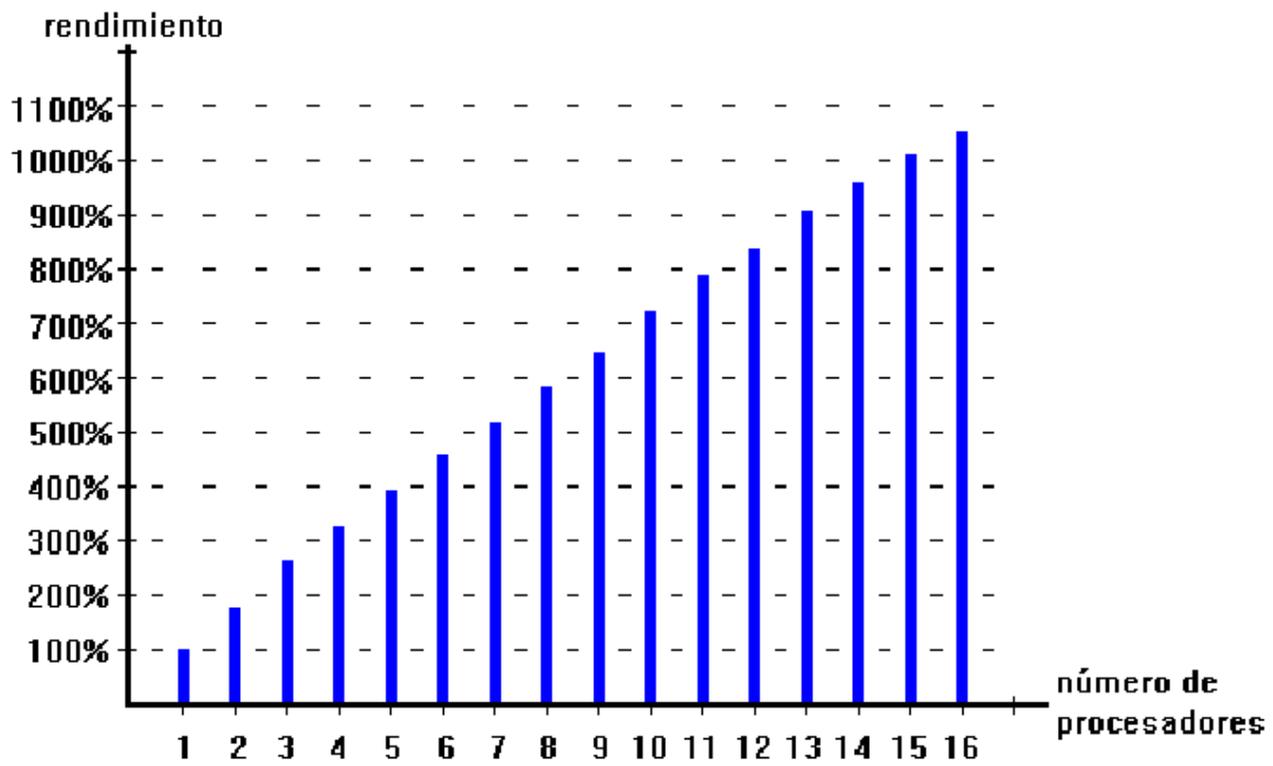
¿Cómo superar las dificultades de SMP y MPP? La última arquitectura paralela, el **Procesamiento paralelo escalable (Scalable parallel processing / SPP)**, es un híbrido de SMP y MPP, que utiliza una memoria jerárquica de dos niveles para alcanzar la escalabilidad. La primera capa de memoria consiste de un nodo que es esencialmente un sistema SMP completo, con múltiples procesadores y su memoria globalmente compartida.

Se construyen sistemas SPP grandes interconectando dos o mas nodos a través de la segunda capa de memoria, de modo que esta capa aparece lógicamente, ante los nodos, como una memoria global compartida.



El hardware direcciona los accesos a los bloques de memoria distribuida

La memoria de dos niveles reduce el tráfico de bus debido a que solamente ocurren actualizaciones para mantener coherencia de memoria. Por tanto, SPP ofrece facilidad de programación del modelo SMP, a la vez que provee una escalabilidad similar a la de un diseño MPP.



 [Al Regresar](#)
de